

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-079923

(43)Date of publication of application : 11.03.2004

(51)Int.Cl.

H01L 25/065

H01L 21/60

H01L 23/12

H01L 25/07

H01L 25/18

(21)Application number : 2002-241304

(71)Applicant : FUJITSU LTD

(22)Date of filing : 22.08.2002

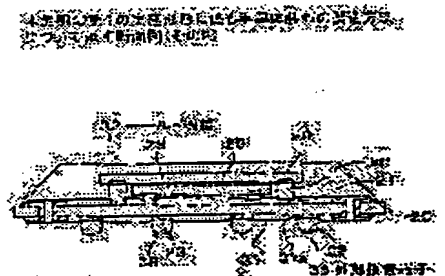
(72)Inventor : YAZAKI KENICHI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device in which an impact on a semiconductor chip in manufacturing is more reduced than heretofore, and to provide a method for manufacturing it.

**SOLUTION:** The semiconductor device comprises an insulation substrate 20, a conductive pattern 21 formed on the insulation substrate 20, a first semiconductor chip 25 provided on the conductive pattern 21, and a second semiconductor chip 28 a part of which overhangs from the top of the first semiconductor chip 25. An electrode 29 of the second semiconductor chip is provided to the overhanging part. The electrode 29 is electrically connected to the conductive pattern 21 through a metal bump (first terminal) 30.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

**\* NOTICES \***

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1]

An insulating base material,

The conductor pattern formed on said insulating base material,

The 1st semiconductor chip prepared on said conductor pattern,

It has the 2nd semiconductor chip in which a part stretches and appears from said 1st semiconductor chip,

The semiconductor device characterized by having prepared the electrode of said 2nd semiconductor chip in said part out of which it stretched and came, and connecting this electrode and said conductor pattern electrically through the 1st terminal.

[Claim 2]

Said 1st terminal is a semiconductor device according to claim 1 characterized by being a metal bump.

[Claim 3]

The semiconductor device according to claim 1 or 2 characterized by having had the 3rd semiconductor chip in which a part stretches and appears from said 2nd semiconductor chip, having prepared the electrode of this 3rd semiconductor chip in said part out of which it stretched and came, and connecting with said conductor pattern electrically through the 2nd terminal.

[Claim 4]

Said 2nd terminal is a semiconductor device according to claim 3 characterized by being the structure which piled up two or more steps of metal bumps.

[Claim 5]

The process which forms a conductor pattern on an insulating base material,

The process which fixes the 1st semiconductor chip on said conductor pattern,

The process which forms a terminal on the electrode of the 2nd semiconductor chip,

The process which piles up said 2nd semiconductor chip on said 1st semiconductor chip, and joins said terminal and said conductor pattern electrically,

The manufacture approach of the semiconductor device characterized by \*\*\* (ing).

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

This invention relates to the semiconductor device and its manufacture approach of the stack MCM (Multi Chip Module) type which comes to carry out two or more laminatings of the semiconductor chip to a detail more about

a semiconductor device and its manufacture approach.

[0002]

[Description of the Prior Art]

In recent years, by the stack MCM which accumulates two or more semiconductor chips, the flow of the formation of a thin chip of the semiconductor chip is remarkable with the demand of the miniaturization of a semiconductor package, or thin-shape-izing. The sectional view of the stack MCM concerning such a conventional example (henceforth a semiconductor device) is shown in drawing 1.

[0003]

As shown in drawing 1, this semiconductor device is equipped with the wiring substrate 1 which has the electrode pads 3 and 12 and a bonding pad 5 to both sides of the core base material 4, and becomes them. On this wiring substrate 1, the lower-berth semiconductor chip 6 fixes in the state of a face down, and that electrode 13 is electrically connected with the electrode pad 12 through Au(gold) stud bump 7.

[0004]

Furthermore, on this lower-berth semiconductor chip 6, the upper case semiconductor chip 8 with larger flat-surface size than the lower-berth semiconductor chip 6 pastes up in the state of face up with adhesives (un-illustrating).

[0005]

Thus, using a bigger chip than the lower berth for an upper case is based on the constraint on the design of the request of wanting to make easy wiring leading about of the wiring substrate 1, and an up-and-down chip, and it is characteristic of this kind of semiconductor device.

[0006]

Although the over hang juttred out of the lower-berth semiconductor chip 6 arises in the upper case semiconductor chip 8 by the difference in such a chip size, an electrode 9 is formed in the over hang. The electrode 9 is electrically connected with the bonding pad 5 of the wiring substrate 1 through a bonding wire 10.

[0007]

Such the lower-berth semiconductor chip 6 and the upper case semiconductor chip 8 are thin-shape-ized by each from the request of thin-shape-izing of a package (about 100 micrometers or less), and a resin seal is carried out with mold resin 11. And the solder bump 2 is joined on the electrode pad 3 of the wiring substrate 1 as an external connection terminal.

[0008]

[Problem(s) to be Solved by the Invention]

By the way, since the electrode 9 is formed in the over hang and the deflective strength of the upper case semiconductor chip 9 is moreover declining by thin chip-ization although wirebonding is performed to the electrode 9 of the upper case semiconductor chip 8 in case an above-mentioned semiconductor device is manufactured, as it becomes impossible for an over hang to bear the impact at the time of wirebonding and is shown in drawing 2, a crack will arise in the upper case semiconductor chip 8, or a chip crack will occur.

[0009]

Moreover, even if a chip crack does not happen, bonding will not be able to be performed to a request but the fault of bonding will arise because an over hang bends at the time of wirebonding.

[0010]

Although bringing the size of the upper case semiconductor chip 8 close to the size of the lower-berth semiconductor chip 6, and lessening the amount of overhangs of the upper case semiconductor chip 8 (the amount of overhangs) that it should cancel such un-arranging is also considered, now, a remarkable limit will be prepared in the combination of the chip which carries out a stack, and it is not desirable.

[0011]

This invention is created in view of the trouble of the starting conventional example, and it aims at offering the semiconductor device which can reduce conventionally the impact a semiconductor chip is shocked at the time of manufacture, and its manufacture approach.

[0012]

[Means for Solving the Problem]

The conductor pattern with which the above-mentioned technical problem was formed on the insulating base material and said insulating base material, It has the 1st semiconductor chip prepared on said conductor pattern, and the 2nd semiconductor chip in which a part stretches and appears from said 1st semiconductor chip. The electrode of said 2nd semiconductor chip is prepared in said part out of which it stretched and came, and it

solves with the semiconductor device characterized by connecting this electrode and said conductor pattern electrically through the 1st terminal.

[0013]

Next, an operation of this invention is explained.

[0014]

Since according to this invention it becomes the structure where the 1st terminal was prepared between the overhang section of the 2nd semiconductor chip, and the conductor pattern on an insulating base material and the 1st terminal serves as a support, the overhang section of the 2nd semiconductor chip does not bend at the time of manufacture, and it is hard coming to generate a crack and a chip crack in the 2nd semiconductor chip.

[0015]

Moreover, the mechanical strength of the layered product of the 1st semiconductor chip and the 2nd semiconductor chip becomes firm by pasting up the 2nd semiconductor chip on the 1st semiconductor chip through a glue line.

[0016]

In addition, the laminating of the 3rd semiconductor chip may be further carried out on the 2nd semiconductor chip. In that case, a part of 3rd semiconductor chip is made to jut out from the 2nd semiconductor chip, an electrode is prepared in the overhanging part, and the same advantage as the above is acquired by connecting electrically the electrode and conductor pattern on an insulating base material through the 2nd terminal.

[0017]

And the 2nd comparatively high terminal of height is realized by using a metal bump as the 2nd terminal in piles two or more steps.

[0018]

[Embodiment of the Invention]

(1) The 1st operation gestalt

Next, the semiconductor device concerning the gestalt of operation of the 1st of this invention is explained, following the production process.

[0019]

First, a process until it acquires the cross-section structure shown in drawing 3 (a) is explained.

[0020]

through hole 20a is formed in one side of the insulating base material 20 at the copper-clad base material (about 200 micrometers in thickness) which comes to have the copper film whose thickness is about 20 micrometers, that of the insulating base material 20 is also obtained in the through hole 20a, and the copper-plating film is formed in field of one of the two at about 20 micrometers in thickness. In addition, the insulating base material 20 may consist of polyimide resin, an epoxy resin, etc., and may be a rigid base material, or may be a flexible base material.

[0021]

And patterning of the copper-plating film of both sides of that insulating base material 20 is carried out by wet etching, it considers as conductor patterns 21 and 23, and solder resist 37 is further formed on this conductor pattern 21 and 23. Opening 37a is formed in the predetermined part of the solder resist 37, and the front face of conductor patterns 21 and 23 will be exposed from there. Moreover, conductor patterns 21 and 23 will be electrically connected through the copper-plating film in through hole 20a.

[0022]

The wiring substrate 24 is completed by the above. The wiring substrate 24 is used as the so-called INTAPOZA.

[0023]

Next, as shown in drawing 3 (b), the metal bumps 27, such as Au stud bump, are formed with a ball bonding method etc. on the electrode 26 of the 1st semiconductor chip 25, and it is electrically joined to a conductor pattern 21. As the approach of junction, a conductor pattern 21 and the metal bump 27 are heated and pressurized, and there is the approach of adding supersonic vibration to them, for example. By this, the 1st semiconductor chip 25 will fix on a conductor pattern 21.

[0024]

In addition, thinning of the 1st semiconductor chip 25 is carried out to about 100 micrometers or less that thickness of the package of completion should be made thin.

[0025]

Next, a process until it acquires the cross-section structure shown in drawing 3 (c) is explained.

[0026]

First, the 2nd semiconductor chip 28 with larger flat-surface size than the 1st semiconductor chip 25 is prepared, and the metal bumps (the 1st terminal) 30, such as Au stud bump, are formed with a ball bonding method etc. on the electrode 29. In addition, thinning of the 2nd semiconductor chip 28 is carried out to about 100 micrometers or less that-izing of the completion package should be carried out [ thin shape ]. Moreover, the metal bump's 30 height can be rationalized by controlling magnitude, sticking-by-pressure conditions, etc. of Au ball, and is set to about 150 micrometers with this operation gestalt.

[0027]

Subsequently, after forming a glue line 31 on the 1st semiconductor chip 25 by spreading of paste material, or attachment of tape material, the 2nd semiconductor chip 28 is piled up in the state of a face down on the 1st semiconductor chip 25. In case it piles up, the electrode 29 of the 2nd semiconductor chip 28 \*\*\*\*\*s from the 1st semiconductor chip 25, and the metal bump 30 on the electrode 29 is made to contact a conductor pattern 21 (see the over hang of this drawing).

[0028]

The metal bump 30 is electrically joined to a conductor pattern 21 by sticking the metal bump 30 to a conductor pattern 21 by pressure, adding supersonic vibration, and heating them at about 200 degrees C in this condition. Since it can come, simultaneously the 2nd semiconductor chip 28 pastes up on the 1st chip 25 by the glue line 31, the mechanical strength of the layered product of the 1st and 2nd semiconductor chip 25 and 28 becomes firmer.

[0029]

In this operation gestalt, since the 2nd semiconductor chip 28 is electrically connected to a conductor pattern 21, without using the wirebonding method, the impact of wirebonding does not join the 2nd semiconductor chip 28.

[0030]

And since the metal bump 30 becomes a support, in the over hang of the 2nd semiconductor chip 28 not bending and being able to connect the 2nd semiconductor chip 28 to a conductor pattern 21 electrically good, neither a crack nor a chip crack arises in the 2nd semiconductor chip 28.

[0031]

Since such an advantage is acquired even if it does not make small the amount of overhangs of the 2nd semiconductor chip 28, it does not give a limit to the combination of each semiconductor chip 25 and 28 comrades.

[0032]

After this, as shown in drawing 4, they are covered by mold resin 32 by transfermold that the 1st and 2nd semiconductor chip 25 and 28 should be protected. And a solder bump is joined as an external connection terminal 38 on the conductor pattern 23 exposed from opening 37a of solder resist 37, and the semiconductor package (semiconductor device) concerning this operation gestalt is completed. Since a solder bump is used as an external connection terminal 38, this semiconductor package is a BGA (Ball Grid Array) type thing.

(2) The 2nd operation gestalt

With the 1st operation gestalt, although the number of stacks of a semiconductor chip (the number of laminatings) was two steps, the number of stacks may be three steps as not limited to this but shown in drawing 5 (a).

[0033]

In order to acquire the structure of drawing 5 (a), after carrying out the two-step stack of the semiconductor chip by the above-mentioned approach, the 3rd semiconductor chip 33 with larger flat-surface size than the 2nd semiconductor chip 28 is piled up on the 2nd semiconductor chip 28. Thinning also of this 3rd semiconductor chip 33 is carried out to about 100 micrometers or less like the 1st and 2nd semiconductor chip 25 and 28.

[0034]

And the electrode 34 of the 3rd semiconductor chip 33 is jugged out from the 2nd semiconductor chip 28, and forms beforehand the metal bump (the 2nd terminal) 35 who becomes in piles two steps about Au stud bumps 35a and 35b by holding a ball bonding method twice on it. In addition, each stud bumps' 35a and 35b height is 120-130 micrometers, and, thereby, the metal bump's 35 height becomes comparatively high with about 250 micrometers.

[0035]

And the metal bump 35 is electrically joined to a conductor pattern 21 by sticking the metal bump 35 to a conductor pattern 21 by pressure, adding supersonic vibration, and heating them at about 200 degrees C, after the metal bump 35 has contacted the conductor pattern 21.

[0036]

At this time, the 3rd semiconductor chip 33 fixes firmly on the 2nd semiconductor chip 28 by that glue line 39 by

forming a glue line 39 beforehand on the 2nd semiconductor chip 28. Such a glue line 39 may be formed by the same approach as the glue line 31 of description.

[0037]

Thus, even when piling up three steps of semiconductor chips, for the same reason as the 1st operation gestalt, neither a crack nor a chip crack arises in the 3rd semiconductor chip 33, and the 3rd semiconductor chip 33 can be electrically connected to a conductor pattern 21 good.

[0038]

And with this operation gestalt, height becomes possible [ also forming about 250 micrometers and the comparatively high metal bump 35 ] by piling up Au stud bumps 35a and 35b two steps. In addition, Au bump's number of stages is not limited to two steps, but may constitute the metal bump 35 from three or more steps of Au bumps.

[0039]

Then, as shown in drawing 4 (b), molding of the mold resin 32 is carried out like the 1st operation gestalt, and the semiconductor package concerning this operation gestalt completes a solder bump by joining to a conductor pattern 23 as an external connection terminal 38 further.

[0040]

As mentioned above, although the gestalt of operation of this invention was explained to the detail, this invention is not limited to this. For example, although that by which thinning was carried out as each semiconductor chips 25, 28, and 33 was used in the above, this invention is applicable also to the semiconductor chip by which thinning is not carried out. Moreover, the last gestalt of a package is not limited to a BGA type, but can apply this invention also to the semiconductor package of the PGA (Pin Grid Array) type which uses a conductive pin as an external connection terminal 38.

[0041]

The description of this invention is appended to below.

[0042]

(Additional remark 1) Insulating base material,

The conductor pattern formed on said insulating base material,

The 1st semiconductor chip prepared on said conductor pattern,

It has the 2nd semiconductor chip in which a part stretches and appears from said 1st semiconductor chip,

The semiconductor device characterized by having prepared the electrode of said 2nd semiconductor chip in said part out of which it stretched and came, and connecting this electrode and said conductor pattern electrically through the 1st terminal.

[0043]

(Additional remark 2) The flat-surface size of said 2nd semiconductor chip is a semiconductor device given in the additional remark 1 characterized by being larger than the flat-surface size of said 1st semiconductor chip.

[0044]

(Additional remark 3) Semiconductor device given in the additional remark 1 or additional remark 2 characterized by said 2nd semiconductor chip pasting up on said 1st semiconductor chip through a glue line.

[0045]

(Additional remark 4) Said 1st terminal is a semiconductor device given in the additional remark 1 thru/or additional remark 3 characterized by being a metal bump.

[0046]

(Additional remark 5) Semiconductor device given in either the additional remark 1 characterized by having had the 3rd semiconductor chip in which a part stretches and appears from said 2nd semiconductor chip, having prepared the electrode of this 3rd semiconductor chip in said part out of which it stretched and came, and connecting with said conductor pattern electrically through the 2nd terminal thru/or the additional remark 4.

[0047]

(Additional remark 6) Said 2nd terminal is a semiconductor device given in the additional remark 5 characterized by being the structure which piled up two or more steps of metal bumps.

[0048]

(Additional remark 7) Process which forms a conductor pattern on an insulating base material,

The process which fixes the 1st semiconductor chip on said conductor pattern,

The process which forms a terminal on the electrode of the 2nd semiconductor chip,

The process which piles up said 2nd semiconductor chip on said 1st semiconductor chip, and joins said terminal

and said conductor pattern electrically,

The manufacture approach of the semiconductor device characterized by \*\*\*\*(ing).

[0049]

(Additional remark 8) The manufacture approach of a semiconductor device given in the additional remark 7 characterized by using a metal bump as said terminal.

[0050]

[Effect of the Invention]

Since according to this invention the 1st terminal is prepared between the electrode prepared in the overhang section of the 2nd semiconductor chip, and the conductor pattern on an insulating base material and they were electrically connected as explained above, it can prevent the 1st terminal's serving as a support, the overhang section of the 2nd semiconductor chip not bending at the time of manufacture, and a crack and a chip crack arising in the 2nd semiconductor chip.

[0051]

And since this advantage is acquired without preparing a limit in the amount of overhangs of the 2nd semiconductor chip, how to combine the 1st and 2nd semiconductor chip can offer the stack MCM of the chip configuration of breadth and a more extensive form.

[0052]

Moreover, the mechanical strength of the layered product of the 1st and 2nd semiconductor chip can be strengthened by pasting up the 1st and 2nd semiconductor chip through a glue line.

[0053]

In addition, even if it prepares the 3rd semiconductor chip on the 2nd semiconductor chip and prepares the 2nd terminal between the overhang section of the 3rd semiconductor chip, and the conductor layer on an insulating base material, the same advantage as the above can be acquired.

[0054]

And the 2nd terminal with comparatively high height is realizable by using a metal bump as the 2nd terminal in piles two or more steps.

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view of the semiconductor device concerning the conventional example.

[Drawing 2] It is the expanded sectional view of the semiconductor device concerning the conventional example.

[Drawing 3] It is the sectional view (the 1) showing the manufacture approach of the semiconductor device concerning the gestalt of operation of the 1st of this invention.

[Drawing 4] It is the sectional view (the 2) showing the manufacture approach of the semiconductor device concerning the gestalt of operation of the 1st of this invention.

[Drawing 5] It is the sectional view of the semiconductor device concerning the gestalt of operation of the 2nd of this invention.

[Description of Notations]

1 24 [ — Core base material, ] — A wiring substrate, 2 — 3 A solder bump, 12 — An electrode pad, 4 5 — A bonding pad, 6 — A lower-berth semiconductor chip, 8 — Upper case semiconductor chip, 9, 13, 26, 29, 34 — An electrode, 10 — A bonding wire, 11 — Mold resin, 20 — An insulating base material, 20a — 21 A through hole, 23 — Conductor pattern, 25 [ — A glue line, 32 / — Mold resin, 33 / — The 3rd semiconductor chip, 35a, 35 b — Au stud bump 37 / — Solder resist, 37a / — Opening, 38 / — External connection terminal. ] — The 1st semiconductor chip, 27, 30, 35 — A metal bump, 28 — The 2nd semiconductor chip, 31.39

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is the sectional view of the semiconductor device concerning the conventional example.

[Drawing 2] It is the expanded sectional view of the semiconductor device concerning the conventional example.

[Drawing 3] It is the sectional view (the 1) showing the manufacture approach of the semiconductor device concerning the gestalt of operation of the 1st of this invention.

[Drawing 4] It is the sectional view (the 2) showing the manufacture approach of the semiconductor device concerning the gestalt of operation of the 1st of this invention.

[Drawing 5] It is the sectional view of the semiconductor device concerning the gestalt of operation of the 2nd of this invention.

### [Description of Notations]

1 24 [ — Core base material, ] — A wiring substrate, 2 — 3 A solder bump, 12 — An electrode pad, 4 5 — A bonding pad, 6 — A lower-berth semiconductor chip, 8 — Upper case semiconductor chip, 9, 13, 26, 29, 34 — An electrode, 10 — A bonding wire, 11 — Mold resin, 20 — An insulating base material, 20a — 21 A through hole, 23 — Conductor pattern, 25 [ — A glue line, 32 / — Mold resin, 33 / — The 3rd semiconductor chip, 35a, 35 b—Au stud bump 37 / — Solder resist, 37a / — Opening, 38 / — External connection terminal. ] — The 1st semiconductor chip, 27, 30, 35 — A metal bump, 28 — The 2nd semiconductor chip, 31.39

---

[Translation done.]



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-79923

(P2004-79923A)

(43) 公開日 平成16年3月11日(2004.3.11)

(51) Int.Cl.<sup>7</sup>

H01L 25/085

H01L 21/60

H01L 23/12

H01L 25/07

H01L 25/18

F I

H01L 25/08

H01L 23/12

H01L 21/92

Z

501B

602G

テーマコード(参考)

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願2002-241304 (P2002-241304)  
(22) 出願日 平成14年8月22日(2002.8.22)

(71) 出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番  
1号  
(74) 代理人 100091672  
弁理士 岡本 啓三  
(72) 発明者 矢崎 健一  
愛知県春日井市高蔵寺町二丁目1844番  
2 富士通ヴィエルエスアイ株式会社内

(54) 【発明の名称】 半導体装置及びその製造方法

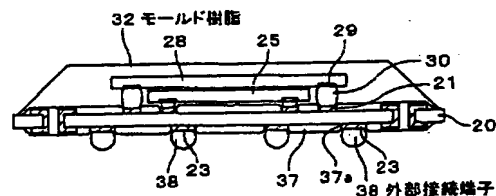
(57) 【要約】

【課題】製造時に半導体チップが受ける衝撃を従来よりも低減することができる半導体装置及びその製造方法を提供すること。

【解決手段】絶縁性基材20と、絶縁性基材20上に形成された導体パターン21、導体パターン21上に設けられた第1半導体チップ25と、第1半導体チップ25の上から一部が張り出る第2半導体チップ28とを備え、第2半導体チップ28の電極29が上記張り出た部位に設けられ、該電極29と導体パターン21とが金属バンプ(第1端子)30を介して電氣的に接続されたことを特徴とする半導体装置による。

【選択図】 図4

本発明の第1の実施形態に係る半導体装置の製造方法について示す断面図(その2)



(2)

## 【特許請求の範囲】

## 【請求項1】

絶縁性基材と、  
前記絶縁性基材上に形成された導体パターンと、  
前記導体パターン上に設けられた第1半導体チップと、  
前記第1半導体チップの上から一部が張り出る第2半導体チップとを備え、  
前記第2半導体チップの電極が前記張り出た部位に設けられ、該電極と前記導体パターンとが第1端子を介して電気的に接続されたことを特徴とする半導体装置。

## 【請求項2】

前記第1端子は金属バンパであることを特徴とする請求項1に記載の半導体装置。

## 【請求項3】

前記第2半導体チップの上から一部が張り出る第3半導体チップを備え、該第3半導体チップの電極が、前記張り出た部位に設けられ、第2端子を介して前記導体パターンと電気的に接続されたことを特徴とする請求項1又は請求項2に記載の半導体装置。

## 【請求項4】

前記第2端子は、金属バンパを複数段重ねた構造であることを特徴とする請求項3に記載の半導体装置。

## 【請求項5】

絶縁性基材上に導体パターンを形成する工程と、  
第1半導体チップを前記導体パターンの上に固着する工程と、  
第2半導体チップの電極上に端子を形成する工程と、  
前記第2半導体チップを前記第1半導体チップの上に重ね、前記端子と前記導体パターンとを電気的に接合する工程と、  
を有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、より詳細には、半導体チップを複数積層してなるスタックMCM (Multi Chip Module) タイプの半導体装置及びその製造方法に関する。

## 【0002】

## 【従来の技術】

近年、半導体パッケージの小型化や薄型化の要求に伴い、半導体チップを複数個積み重ねるスタックMCMでは、その半導体チップの薄チップ化の流れが顕著になっている。そのような従来例に係るスタックMCM (以下、半導体装置と言う) の断面図を図1に示す。

## 【0003】

図1に示すように、この半導体装置は、コア基材4の両面に電極パッド3、12とボンディングパッド5とを有してなる配線基板1を備える。この配線基板1上には、下段半導体チップ6がフェイスダウンの状態に固着され、その電極13がAu (金) スタッドバンパ7を介して電極パッド12と電気的に接続される。

## 【0004】

更に、この下段半導体チップ6上には、下段半導体チップ6よりも平面サイズの大きい上段半導体チップ8が接着剤 (不図示) によりフェイスアップの状態に接着される。

## 【0005】

このように、下段よりも大きなチップを上段に使用するのは、配線基板1の配線引き回しを容易にしたいという要請や、上下のチップの設計上の制約によるものであり、この種の半導体装置に特徴的なものである。

## 【0006】

そのようなチップサイズの違いにより、上段半導体チップ8には下段半導体チップ6から張り出すオーバーハング部が生じるが、そのオーバーハング部に電極9が設けられる。そ

(3)

の電極9は、ボンディングワイヤ10を介して、配線基板1のボンディングパッド5と電氣的に接続される。

【0007】

このような下段半導体チップ6及び上段半導体チップ8は、パッケージの薄型化の要請からいずれも薄型化(約100 $\mu$ m以下)され、モールド樹脂11により樹脂封止される。そして、はんだバンプ2が、外部接続端子として配線基板1の電極パッド3上に接合される。

【0008】

【発明が解決しようとする課題】

ところで、上述の半導体装置を製造する際には、上段半導体チップ8の電極9に対してワイヤボンディングを行うのであるが、その電極9がオーバーハング部に設けられており、しかも薄チップ化により上段半導体チップ9の抗折力が低下しているので、オーバーハング部がワイヤボンディング時の衝撃に耐えられなくなり、図2に示すように、上段半導体チップ8にクラックが生じたり、或いはチップ割れが発生してしまう。

【0009】

また、チップ割れが起こらなくても、ワイヤボンディング時にオーバーハング部がたわむことで、ボンディングを所望に行うことができず、ボンディングの不具合が生じてしまう。

【0010】

このような不都合を解消すべく、上段半導体チップ8のサイズを下段半導体チップ6のサイズに近づけ、上段半導体チップ8のオーバーハング量(張り出し量)を少なくすることも考えられるが、これではスタックするチップの組み合わせに著しい制限を設けることになり、好ましくない。

【0011】

本発明に係る従来例の問題点に鑑みて創作されたものであり、製造時に半導体チップが受ける衝撃を従来よりも低減することができる半導体装置及びその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】

上記した課題は、絶縁性基材と、前記絶縁性基材上に形成された導体パターンと、前記導体パターン上に設けられた第1半導体チップと、前記第1半導体チップの上から一部が張り出る第2半導体チップとを備え、前記第2半導体チップの電極が前記張り出た部位に設けられ、該電極と前記導体パターンとが第1端子を介して電氣的に接続されたことを特徴とする半導体装置によって解決する。

【0013】

次に、本発明の作用について説明する。

【0014】

本発明によれば、第2半導体チップの張り出し部と、絶縁性基材上の導体パターンとの間に第1端子が設けられた構造となり、その第1端子が支えとなるので、製造時に、第2半導体チップの張り出し部がたわむことが無く、第2半導体チップにクラックやチップ割れが生じ難くなる。

【0015】

また、接着層を介して第2半導体チップを第1半導体チップ上に接着することで、第1半導体チップと第2半導体チップとの積層体の機械的強度が強固になる。

【0016】

なお、第2半導体チップの上に、更に第3半導体チップを積層してもよい。その場合は、第3半導体チップの一部を第2半導体チップの上から張り出させ、その張り出した部位に電極を設け、その電極と絶縁性基材上の導体パターンとを第2端子を介して電氣的に接続することで、上記と同様の利点が得られる。

【0017】

(4)

そして、金属バンパを複数段重ねて第2端子とすることで、高さの比較的高い第2端子が実現される。

【0018】

【発明の実施の形態】

(1) 第1実施形態

次に、本発明の第1の実施の形態に係る半導体装置について、その製造工程を追いながら説明する。

【0019】

まず、図3(a)に示す断面構造を得るまでの工程について説明する。

【0020】

絶縁性基材20の片面に厚さが約20 $\mu$ mの銅膜を有してなる銅張基材(厚さ約200 $\mu$ m)にスルーホール20aを形成し、そのスルーホール20a内と絶縁性基材20のもう片方の面に銅めっき膜を厚さ約20 $\mu$ m程度に形成する。なお、絶縁性基材20は、例えばポリイミド樹脂やエポキシ樹脂等よりなり、リジッドな基材であってもよいし、或いはフレキシブルな基材であってもよい。

【0021】

そして、その絶縁性基材20の両面の銅めっき膜をウエットエッチングによりパターンニングして導体パターン21、23とし、更にこの導体パターン21、23上にソルダレジスト37を形成する。そのソルダレジスト37の所定部位には開口37aが形成されており、そこから導体パターン21、23の表面が露出することになる。また、導体パターン21、23は、スルーホール20a内の銅めっき膜を介して電氣的に接続されることになる。

【0022】

以上により配線基板24が完成する。その配線基板24は、所謂インターポーザとして使用される。

【0023】

次に、図3(b)に示すように、第1半導体チップ25の電極26上に、例えばAuスタッドバンパ等の金属バンパ27をボールボンディング方式等により形成し、それを導体パターン21に電氣的に接合させる。接合の方法としては、例えば、導体パターン21と金属バンパ27とを加熱、加圧し、それらに超音波振動を付加する方法がある。これにより、第1半導体チップ25が導体パターン21上に固着されることになる。

【0024】

なお、第1半導体チップ25は、出来上がりのパッケージの厚さを薄くすべく、約100 $\mu$ m以下に薄厚化されている。

【0025】

次に、図3(c)に示す断面構造を得るまでの工程について説明する。

【0026】

まず、第1半導体チップ25よりも平面サイズが大きい第2半導体チップ28を用意し、その電極29上にAuスタッドバンパ等の金属バンパ(第1端子)30をボールボンディング方式等により形成する。なお、第2半導体チップ28は、出来上がりパッケージを薄型化すべく、約100 $\mu$ m以下に薄厚化されている。また、金属バンパ30の高さは、Auボールの大きさや圧着条件等をコントロールすることにより適正化することができ、本実施形態では約150 $\mu$ m程度とする。

【0027】

次いで、ペースト材の塗布やテープ材の貼り付けにより第1半導体チップ25上に接着層31を設けた後、第1半導体チップ25上に第2半導体チップ28をフェイスダウンの状態を重ねる。重ねる際には、第2半導体チップ28の電極29が第1半導体チップ25の上から張り出し、その電極29上の金属バンパ30が導体パターン21に当接するようにする(同図のオーバーハング部を参照)。

【0028】

(5)

この状態で、超音波振動を付加しながら金属バンプ30を導体パターン21に圧着し、それらを約200℃に加熱することにより、金属バンプ30を導体パターン21に電氣的に接合させる。これと同時に、第2半導体チップ28が、接着層31により第1チップ25上に接着されるので、第1、第2半導体チップ25、28の積層体の機械的強度がより強固になる。

【0029】

本実施形態においては、ワイヤボンディング法を使用せずに第2半導体チップ28を導体パターン21に電氣的に接続するので、第2半導体チップ28にワイヤボンディングの衝撃が加わることがない。

【0030】

しかも、金属バンプ30が支えとなるため、第2半導体チップ28のオーバーハング部がたわむことが無く、第2半導体チップ28を導体パターン21に良好に電氣的に接続することができるうえ、第2半導体チップ28にクラックやチップ割れが生じることが無い。

【0031】

このような利点は、第2半導体チップ28のオーバーハング量を小さくしなくても得られるため、各半導体チップ25、28同士の組み合わせに制限を与えることも無い。

【0032】

この後は、図4に示すように、第1、第2半導体チップ25、28を保護すべく、トランスファモールドによりそれらをモールド樹脂32で覆う。そして、ソルダレジスト37の開孔37aから露出する導体パターン23上に外部接続端子38としてはんだバンプを接合し、本実施形態に係る半導体パッケージ（半導体装置）を完成させる。外部接続端子38としてはんだバンプを使用するので、この半導体パッケージはBGA（Ball Grid Array）タイプのものである。

(2) 第2実施形態

第1実施形態では、半導体チップのスタック数（積層数）は2段であったが、スタック数はこれに限定されず、図5(a)に示すような3段であってもよい。

【0033】

図5(a)の構造を得るには、上述の方法で半導体チップを2段スタックした後、第2半導体チップ28よりも平面サイズの大い第3半導体チップ33を第2半導体チップ28上に重ねる。この第3半導体チップ33も、第1、第2半導体チップ25、28と同様に、約100μm以下に薄厚化されている。

【0034】

そして、その第3半導体チップ33の電極34は、第2半導体チップ28の上から張り出し、その上には、例えばボールボンディング方式を二回行うことにより、Auスタッドバンプ35a、35bを二段重ねてなる金属バンプ（第2端子）35を予め形成しておく。なお、各スタッドバンプ35a、35bの高さは120～130μmであり、それにより金属バンプ35の高さは約250μm程度と比較的高くなる。

【0035】

そして、金属バンプ35が導体パターン21に当接した状態で、超音波振動を付加しながら金属バンプ35を導体パターン21に圧着し、それらを約200℃に加熱することにより、金属バンプ35を導体パターン21に電氣的に接合させる。

【0036】

このとき、第2半導体チップ28上に予め接着層39を設けておくことで、その接着層39により第3半導体チップ33が第2半導体チップ28上に強固に固着される。そのような接着層39は、記述の接着層31と同様の方法で形成され得る。

【0037】

このように半導体チップを3段重ねる場合でも、第1実施形態と同じ理由により、第3半導体チップ33にクラックやチップ割れが生じず、また、第3半導体チップ33を導体パターン21に電氣的に良好に接続することができる。

【0038】

(6)

しかも、本実施形態では、Auスタッドバンプ35a、35bを2段重ねることで、高さが約250 $\mu$ mと比較的高い金属バンプ35を形成することも可能となる。なお、Auバンプの段数は2段に限定されず、3段以上のAuバンプで金属バンプ35を構成してもよい。

【0039】

その後、図4(b)に示すように、第1実施形態と同様にしてモールド樹脂32をモールドリングし、更に外部接続端子38としてはんだバンプを導体パターン23に接合することで、本実施形態に係る半導体パッケージが完成する。

【0040】

以上、本発明の実施の形態について詳細に説明したが、本発明はこれに限定されない。例えば、上記では、各半導体チップ25、28、33として薄厚化されたものを使用したが、薄厚化されていない半導体チップにも本発明を適用することができる。また、パッケージの最終形態はBGAタイプに限定されず、外部接続端子38として導電性のピンを使用するPGA(Pin Grid Array)タイプの半導体パッケージにも本発明を適用し得る。

【0041】

以下に、本発明の特徴を付記する。

【0042】

(付記1) 絶縁性基材と、  
前記絶縁性基材上に形成された導体パターンと、  
前記導体パターン上に設けられた第1半導体チップと、  
前記第1半導体チップの上から一部が張り出る第2半導体チップとを備え、  
前記第2半導体チップの電極が前記張り出た部位に設けられ、該電極と前記導体パターンとが第1端子を介して電気的に接続されたことを特徴とする半導体装置。

【0043】

(付記2) 前記第2半導体チップの平面サイズは、前記第1半導体チップの平面サイズよりも大きいことを特徴とする付記1に記載の半導体装置。

【0044】

(付記3) 前記第2半導体チップが接着層を介して前記第1半導体チップ上に接着されたことを特徴とする付記1又は付記2に記載の半導体装置。

【0045】

(付記4) 前記第1端子は金属バンプであることを特徴とする付記1乃至付記3に記載の半導体装置。

【0046】

(付記5) 前記第2半導体チップの上から一部が張り出る第3半導体チップを備え、該第3半導体チップの電極が、前記張り出た部位に設けられ、第2端子を介して前記導体パターンと電気的に接続されたことを特徴とする付記1乃至付記4のいずれかに記載の半導体装置。

【0047】

(付記6) 前記第2端子は、金属バンプを複数段重ねた構造であることを特徴とする付記5に記載の半導体装置。

【0048】

(付記7) 絶縁性基材上に導体パターンを形成する工程と、  
第1半導体チップを前記導体パターンの上に固着する工程と、  
第2半導体チップの電極上に端子を形成する工程と、  
前記第2半導体チップを前記第1半導体チップの上に重ね、前記端子と前記導体パターンとを電気的に接合する工程と、  
を有することを特徴とする半導体装置の製造方法。

【0049】

(付記8) 前記端子として金属バンプを使用することを特徴とする付記7に記載の半導

(7)

体装置の製造方法。

【0050】

【発明の効果】

以上説明したように、本発明によれば、第2半導体チップの張り出し部に設けられた電極と、絶縁性基材上の導体パターンとの間に、第1端子を設けてそれらを電氣的に接続するようにしたので、第1端子が支えとなり、第2半導体チップの張り出し部が製造時にたわむことが無く、第2半導体チップにクラックやチップ割れが生じるのを防ぐことができる。

【0051】

そして、この利点は、第2半導体チップの張り出し量に制限を設けずに得られるため、第1、第2半導体チップの組み合わせ方が広がり、より広範な品種のチップ構成のスタックMCMを提供することができる。

【0052】

また、接着層を介して第1、第2半導体チップ同士を接着することで、第1、第2半導体チップの積層体の機械的強度を強固にすることができる。

【0053】

なお、第3半導体チップを第2半導体チップの上に設け、その第3半導体チップの張り出し部と、絶縁性基材上の導体層との間に第2端子を設けても、上記と同様の利点を得ることができる。

【0054】

そして、金属バンプを複数段重ねて第2端子とすることで、高さが比較的高い第2端子を実現することができる。

【図面の簡単な説明】

【図1】従来例に係る半導体装置の断面図である。

【図2】従来例に係る半導体装置の拡大断面図である。

【図3】本発明の第1の実施の形態に係る半導体装置の製造方法について示す断面図（その1）である。

【図4】本発明の第1の実施の形態に係る半導体装置の製造方法について示す断面図（その2）である。

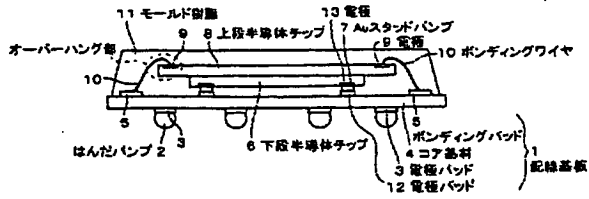
【図5】本発明の第2の実施の形態に係る半導体装置の断面図である。

【符号の説明】

1、24…配線基板、2…はんだバンプ、3、12…電極パッド、4…コア基材、5…ボンディングパッド、6…下段半導体チップ、8…上段半導体チップ、9、13、26、29、34…電極、10…ボンディングワイヤ、11…モールド樹脂、20…絶縁性基材、20a…スルーホール、21、23…導体パターン、25…第1半導体チップ、27、30、35…金属バンプ、28…第2半導体チップ、31、39…接着層、32…モールド樹脂、33…第3半導体チップ、35a、35b…Auスタッドバンプ、37…ソルダレジスト、37a…開口、38…外部接続端子。

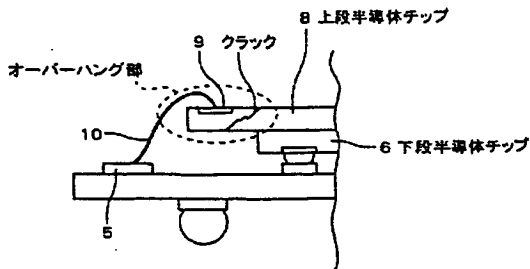
【図1】

従来例に係る半導体装置の断面図



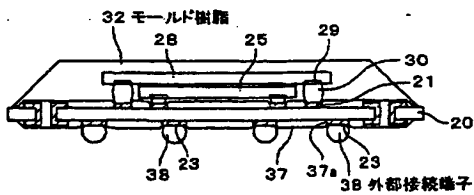
【図2】

従来例に係る半導体装置の拡大断面図



【図4】

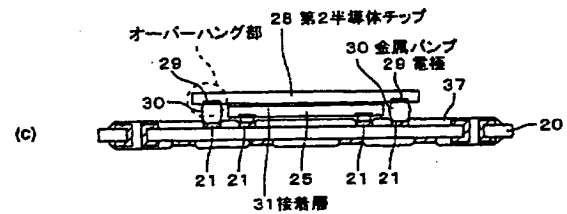
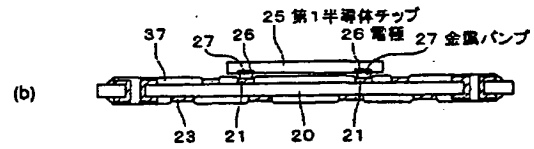
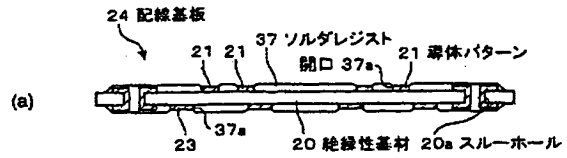
本発明の第1の実施形態に係る半導体装置の製造方法について示す断面図(その2)



(8)

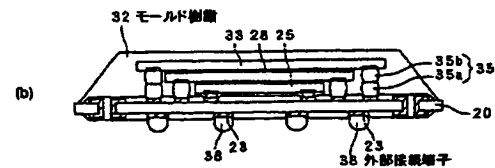
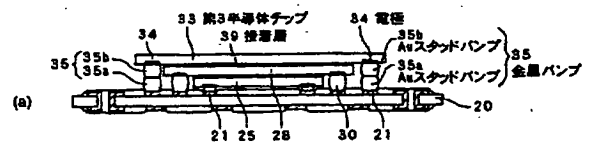
【図3】

本発明の第1の実施形態に係る半導体装置の製造方法について示す断面図(その1)



【図5】

本発明の第2の実施形態に係る半導体装置の断面図





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**